

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06761288     \*\*Image available\*\*

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.:     **2000-347159** [JP 2000347159 A]

PUBLISHED:     December 15, 2000 (20001215)

INVENTOR(s):   MIYAZAWA TOSHIO

                 SATO TOMOHIKO

APPLICANT(s): HITACHI LTD

APPL. NO.:     11-162268 [JP 99162268]

FILED:           June 09, 1999 (19990609)

INTL CLASS:     G02F-001/133; G09G-003/20; G09G-003/36

#### ABSTRACT

**PROBLEM TO BE SOLVED:** To improve the display quality of a display screen of a liquid crystal display element by providing the device with a means for supplying the voltage superposed with signal voltage on reference voltage as pixel drive voltage together with field-effect transistors(FETs) set with the voltage value of control electrodes at a corrected voltage value to video signal lines.

**SOLUTION:** Respective video capturing means for supplying the pixel drive voltage to the respective video signal lines have the FETs and first to third means. The first and third means set the voltage of the control electrode of the FETs at the voltage value obtained by correcting the threshold voltage- component of the FETs with respect to the voltage superposed with the signal voltage on the reference voltage. The second means supplies the voltage superposed with the signal voltage on the reference voltage as the pixel drive voltage together the FETs set with the voltage value of the control electrodes set at the corrected voltage value to the video signal lines. For example, a voltage reproducing circuit is composed of the NMOS transistors alone and consists of MOS transistors M1 to M6, a load capacitor CO, etc.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-347159  
(P2000-347159A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト*(参考)
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 2 H 0 9 3
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 R 5 C 0 0 6
3/36		3/36	5 C 0 8 0

審査請求 有 請求項の数 3 O L (全 20 頁)

(21) 出願番号 特願平11-162268

(22) 出願日 平成11年6月9日 (1999. 6. 9)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 宮沢 敏夫

千葉県茂原市早野3300番地 株式会社日立  
製作所ディスプレイグループ内

(72) 発明者 佐藤 友彦

千葉県茂原市早野3300番地 株式会社日立  
製作所ディスプレイグループ内

(74) 代理人 100083552

弁理士 秋田 収喜

最終頁に続く

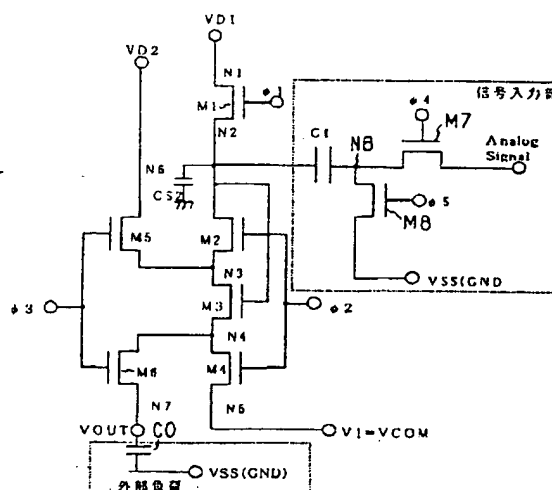
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶表示素子の表示画面の表示品質を向上させた液晶表示装置を提供する。

【解決手段】 マトリクス状に設けられる複数の画素と、前記各画素に画素駆動電圧を印加する複数の映像信号線と、複数の映像信号線に画素駆動電圧を供給する駆動手段とを備え、駆動手段は各映像信号線に画素駆動電圧を供給する複数の映像信号取込手段を有し、各映像信号取込手段は、電界効果型トランジスタと、電界効果型トランジスタの制御電極の電圧値を、各映像信号取込手段に入力する設定電圧に対して、電界効果型トランジスタのしきい値電圧分だけ補正した電圧値に設定する第1の手段と、第1の手段で、制御電極の電圧値が前記第1の手段で補正された電圧値にされた電界効果型トランジスタと共に、設定電圧を画素駆動電圧として、映像信号線に供給する第2の手段とを有する。

図 3



## 【特許請求の範囲】

## 【請求項1】 マトリクス状に設けられる複数の画素

と、  
前記複数の画素の列（または行）方向の画素に画素駆動電圧を印加する複数の映像信号線と、  
前記複数の映像信号線に画素駆動電圧を供給する駆動手段とを備える液晶表示装置であって、  
前記駆動手段は、前記各映像信号線に画素駆動電圧を供給する複数の映像信号取込手段を有し、  
前記各映像信号取込手段は、第1の電界効果型トランジスタと、  
前記第1の電界効果型トランジスタの制御電極の電圧値を、共通画素駆動電圧に対して、前記第1の電界効果型トランジスタのしきい値電圧分だけ補正した電圧値に設定する第1の手段と、  
前記第1の電界効果型トランジスタの制御電極の電圧値を、前記第1の手段で補正された電圧値に映像信号電圧が重畳された電圧とする第2の手段と、  
前記第2の手段で、制御電極の電圧値が前記第1の手段で補正された電圧値に映像信号電圧が重畳された電圧とされた第1の電界効果型トランジスタと共に、前記共通画素駆動電圧に映像信号電圧が重畳された電圧を画素駆動電圧として、前記映像信号線に供給する第3の手段とを有することを特徴とする液晶表示装置。

【請求項2】 前記駆動手段は、前記各映像信号取込手段を制御する制御手段であって、前記各映像信号取込手段に対して第1モードの制御信号を送出して、前記各映像信号取込手段から前記映像信号線に、前記共通画素駆動電圧に映像信号電圧が加算された電圧を画素駆動電圧として供給させ、また、前記各映像信号取込手段に対して第2モードの制御信号を送出して、前記各映像信号取込手段から前記映像信号線に、前記共通画素駆動電圧から映像信号電圧が減算された電圧を画素駆動電圧として供給させる制御手段を有することを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記制御手段から送出される第1モードの制御信号は、第1乃至第5の制御信号を有し、  
前記第1乃至第5の制御信号は、前記第5の制御信号、前記第4の制御信号、および前記第3の制御信号の順で、かつ、前記第5の制御信号の送出されている間に前記第1の制御信号、および前記第2の制御信号の順で、各映像信号取込手段に対して送出されることを特徴とする請求項2に記載の液晶表示装置。

【請求項4】 前記制御手段から送出される第2モードの制御信号は、第1乃至第5の制御信号を有し、  
前記第1乃至第5の制御信号は、前記第4の制御信号、前記第1の制御信号、前記第2の制御信号、前記第5の制御信号、および前記第3の制御信号の順で、各映像信号取込手段に対して送出されることを特徴とする請求項2に記載の液晶表示装置。

【請求項5】 前記第1の手段は、第2の電極に第1の基準電圧が印加される電界効果型トランジスタで、第1の電極が前記第1の電界効果型トランジスタの制御電極に接続される第2の電界効果型トランジスタと、  
第2の電極が前記第2の電界効果型トランジスタの第1の電極に接続され、第1の電極が前記第1の電界効果型トランジスタの第2の電極に接続される第3の電界効果型トランジスタと、

第2の電極が前記第1の電界効果型トランジスタの第1の電極に接続される電界効果型トランジスタで、第1の電極に前記共通画素駆動電圧が印加される第4の電界効果型トランジスタとで構成され、

前記第3の手段は、第2の電極が第2の基準電圧に接続される電界効果型トランジスタで、第1の電極が前記第1の電界効果型トランジスタの第2の電極に接続される第5の電界効果型トランジスタと、

第2の電極が前記第1の電界効果型トランジスタの第1の電極に接続され、第1の電極が前記映像信号線に接続される第6の電界効果型トランジスタとで構成され、  
前記第2の電界効果型トランジスタは、前記制御手段から出力される第1の制御信号が制御電極に印加されたときにオンとされ、

前記第3および第4の電界効果型トランジスタは、前記制御手段から出力される第2の制御信号が制御電極に印加されたときにオンとされ、

前記第5および第6の電界効果型トランジスタは、前記制御手段から出力される第3の制御信号が制御電極に印加されたときにオンとされることを特徴とする請求項3または請求項4に記載の液晶表示装置。

【請求項6】 前記第2の手段は、第2の電極に映像信号電圧が印加される第7の電界効果型トランジスタと、  
第1の電極に第3の基準電圧が印加される電界効果型トランジスタで、第2の電極が前記第7の電界効果型トランジスタの第1の電極に接続される第8の電界効果型トランジスタと、

前記第7の電界効果型トランジスタの第1の電極と、前記第2の電界効果型トランジスタの第1の電極との間に接続される結合容量とで構成され、

前記第7の電界効果型トランジスタは、前記制御手段から出力される第4の制御信号が制御電極に印加されたときにオンとされ、

前記第8の電界効果型トランジスタは、前記制御手段から出力される第5の制御信号が制御電極に印加されたときにオンとされることを特徴とする請求項5に記載の液晶表示装置。

【請求項7】 前記第2の手段は、表示データのビット数だけ設けられる複数のデータ入力手段を有し、  
各データ入力手段は、表示データの各ビット値を格納するラッチ部と、

第2の電極が前記ラッチ部に接続される第7の電界効果

型トランジスタと、

第1の電極に第3の基準電圧が印加される電界効果型トランジスタで、第2の電極が前記第7の電界効果型トランジスタの第1の電極に接続される第8の電界効果型トランジスタと、

前記第7の電界効果型トランジスタの第1の電極と、前記第2の電界効果型トランジスタの第1の電極との間に接続される結合容量とで構成され、

前記各データ入力手段の第7の電界効果型トランジスタは、前記制御手段から出力される第4の制御信号が制御電極に印加されたときにオンとされ、

前記各データ入力手段の第8の電界効果型トランジスタは、前記制御手段から出力される第5の制御信号が制御電極に印加されたときにオンとされることを特徴とする請求項5に記載の液晶表示装置。

【請求項8】 前記制御手段は、各映像信号取込手段に対して、各フレームで $n$  ( $n \geq 1$ ) ライン毎に、かつ1フレーム毎に送出される制御信号のモードが異なるように、前記第1モードの制御信号、あるいは、前記第2モードの制御信号を交互に送出することを特徴とする請求項2ないし請求項7のいずれか1項に記載の液晶表示装置。

【請求項9】 前記制御手段は、奇数番目の映像信号線に画素駆動電圧を供給する各映像信号取込手段に対して、各フレームで $n$  ( $n \geq 1$ ) ライン毎に、かつ、1フレーム毎に送出される制御信号のモードが異なるように、前記第1モードの制御信号、あるいは、前記第2モードの制御信号を交互に送出し、  
また、偶数番目の映像信号線に画素駆動電圧を供給する各映像信号取込手段に対して、各フレームで $n$  ( $n \geq 1$ ) ライン毎に、かつ、1フレーム毎に送出される制御信号のモードが異なるように、前記第2モードの制御信号、あるいは、前記第1モードの制御信号を交互に送出することを特徴とする請求項2ないし請求項7のいずれか1項に記載の液晶表示装置。

【請求項10】 前記駆動手段は、前記映像信号取込手段を2系統有し、さらに、前記2系統映像信号取込手段から各映像信号線に対して、交互に画素駆動電圧を供給する複数の選択手段を有することを特徴とする請求項1ないし請求項9のいずれか1項に記載の液晶表示装置。

【請求項11】 前記制御部は、前記2系統の一方の系統の各映像信号取込手段に対して前記第1モードの制御信号を、また、前記2系統の他方の系統の各映像信号取込手段に対して前記第2モードの制御信号を送出するとともに、前記各選択手段に対して切替制御信号を送出し、

奇数番目の映像信号線に画素駆動電圧を供給する選択手段は、各フレームで1ライン毎に、かつ、1フレーム毎に画素駆動電圧を供給する系統が異なるように、前記2系統の一方の系統の映像信号取込手段、あるいは、前記

2系統の他方の系統の映像信号取込手段からの画素駆動電圧を各映像信号線に交互に供給し、

偶数番目の映像信号線に画素駆動電圧を供給する選択手段は、各フレームで1ライン毎に、かつ、1フレーム毎に画素駆動電圧を供給する系統が異なるように、前記2系統の他方の系統の映像信号取込手段、あるいは、前記2系統の一方の系統の映像信号取込手段からの画素駆動電圧を、各映像信号線に交互に供給することを特徴とする請求項10に記載の液晶表示装置。

【請求項12】 前記各電界効果型トランジスタは、制御電極下のチャネル形成領域が多結晶シリコンであることを特徴とする請求項1ないし請求項10のいずれか1項に記載の液晶表示装置。

【請求項13】 前記マトリクス状に設けられる複数の画素、前記複数の映像信号線、および前記駆動手段は、液晶表示素子内に組み込まれていることを特徴とする請求項1ないし請求項12のいずれか1項に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に係わり、特に、ポリ・シリコン・トランジスタで構成されるTFT (Thin Film Transistor) 方式の液晶表示装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 従来液晶表示装置の一つとして、画素毎に能動素子を有し、この能動素子をスイッチング動作させるアクティブマトリクス型液晶表示装置が知られている。このアクティブマトリクス型液晶表示装置の一つに、能動素子として、アモルファス・シリコン・MOSトランジスタ、あるいは、ポリ・シリコン・MOSトランジスタで構成される薄膜トランジスタを使用するTFT方式のアクティブマトリクス型液晶表示モジュールが知られている。なおこれ以降、本明細書中では、アモルファス・シリコン・MOSトランジスタをアモルファス・SiTr、ポリ・シリコン・MOSトランジスタをPoly-SiTr、アモルファス・シリコン・MOSトランジスタを使用したTFT方式の液晶表示モジュールをアモルファス・SiTr-TFT液晶表示モジュール、ポリ・シリコン・MOSトランジスタを使用したTFT方式の液晶表示モジュールPoly-SiTr-TFT液晶表示モジュールと称する。アモルファス・SiTr-TFT液晶表示モジュールは、パソコンあるいはテレビの表示装置として広く使用されている。しかしながら、アモルファス・SiTr-TFT液晶表示モジュールでは、液晶を駆動するための駆動回路を、液晶表示パネルの周辺に設ける必要があった。これに対して、近年、Poly-SiTr素子を使用したTFT方式のモジュールが開発され、例えば、液晶プロジェクタ、ある

いはヘッドマウント（眼鏡型）ディスプレイ等に使用されている。このPoly-SiTr-TFT液晶表示モジュールの液晶表示パネルでは、アモルファス-SiTr-TFT液晶表示モジュールの液晶表示パネルと同様、石英あるいはガラス基板上にPoly-SiTrを、マトリクス状に配置・形成する。さらに、Poly-SiTrの動作速度がアモルファス-SiTrよりも高速であるため、Poly-SiTr-TFT液晶表示モジュールの液晶パネルでは、その周辺回路も同一基板上に作り込むことが可能である。なお、このような技術に関しては、例えば、「日経エレクトロニクス」、日経マグローヒル社、1994年2月28日、pp103～pp109に記載されている。

#### 【0003】

【発明が解決しようとする課題】現状の単結晶Si半導体MOSトランジスタでは、例えば、図14に示するような比較的簡単な回路構成で、実用レベルで、各MOSトランジスタ（TR1～TR3）のしきい値電圧（ $V_{th}$ ）の電圧レベルのばらつきを回避することができる。しかしながら、チャネル形成領域が多結晶シリコンからなるPoly-SiTrにおいて、現状では、ゲート下にも多数の結晶粒界が存在するのが一般的であり、したがって、同一基板の近傍に同じディメンションのトランジスタを配置しても、しきい値電圧（ $V_{th}$ ）は実用的に近似可能なほど一致しないのが一般的である。そのため、Poly-SiTrを使用し、図14に示するような回路構成とした場合に、各MOSトランジスタ（TR1～TR3）の出力電圧（ $V_{OUT1} \sim V_{OUT3}$ ）が、実用上許容できないほどばらつくのが一般的である。そして、Poly-SiTr-TFT液晶表示モジュールの液晶表示パネルの各画素に、画素駆動電圧（または階調電圧）を供給する目的のために、例えば、Poly-SiTrを使用し前記図14に示するような回路構成を採用した場合に、各Poly-SiTrのしきい値電圧（ $V_{th}$ ）のばらつきにより生じる出力電圧（ $V_{OUT1} \sim V_{OUT3}$ ）のばらつきにより、液晶表示パネルの表示画面に線状の模様が生じ、液晶表示パネルの表示画面の表示品質が著しく損なわれるという問題点があった。本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、液晶表示素子の表示画面の表示品質を向上させることが可能となる技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

#### 【0004】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。即ち、本発明は、マトリクス状に設けられる複数の画素と、前記複数の画素の列（または行）方向の画素に画素駆動電圧を印加する複数の映像信

号線と、前記複数の映像信号線に画素駆動電圧を供給する駆動手段とを備える液晶表示装置であって、前記駆動手段は、前記各映像信号線に画素駆動電圧を供給する複数の映像信号取込手段を有し、前記各映像信号取込手段は、第1の電界効果型トランジスタと、前記第1の電界効果型トランジスタの制御電極の電圧値を、共通画素駆動電圧に対して、前記第1の電界効果型トランジスタのしきい値電圧分だけ補正した電圧値に設定する第1の手段と、前記第1の電界効果型トランジスタの制御電極の電圧値を、前記第1の手段で補正された電圧値に映像信号電圧が重畳された電圧とする第2の手段と、前記第2の手段で、制御電極の電圧値が前記第1の手段で補正された電圧値に映像信号電圧が重畳された電圧とされた第1の電界効果型トランジスタと共に、前記共通画素駆動電圧に映像信号電圧が重畳された電圧を画素駆動電圧として、前記映像信号線に供給する第3の手段とを有することを特徴とする。

【0005】また、本発明は、前記駆動手段が、前記各映像信号取込手段を制御する制御手段であって、前記各映像信号取込手段に対して第1モードの制御信号を送出して、前記各映像信号取込手段から前記映像信号線に、前記共通画素駆動電圧に映像信号電圧が加算された電圧を画素駆動電圧として供給させ、また、前記各映像信号取込手段に対して第2モードの制御信号を送出して、前記各映像信号取込手段から前記映像信号線に、前記共通画素駆動電圧から映像信号電圧が減算された電圧を画素駆動電圧として供給させる制御手段を有することを特徴とする。また、本発明は、前記制御手段から送出される第1モードの制御信号が、第1乃至第5の制御信号を有し、前記第1乃至第5の制御信号は、前記第5の制御信号、前記第4の制御信号、および前記第3の制御信号の順で、かつ、前記第5の制御信号の送出されている間に前記第1の制御信号、および前記第2の制御信号の順で、各映像信号取込手段に対して送出されることを特徴とする。また、本発明は、前記制御手段から送出される第2モードの制御信号が、第1乃至第5の制御信号を有し、前記第1乃至第5の制御信号は、前記第4の制御信号、前記第1の制御信号、前記第2の制御信号、前記第5の制御信号、および前記第3の制御信号の順で、各映像信号取込手段に対して送出されることを特徴とする。

【0006】また、本発明は、前記第1の手段が、第2の電極に第1の基準電圧が印加される電界効果型トランジスタで、第1の電極が前記第1の電界効果型トランジスタの制御電極に接続される第2の電界効果型トランジスタと、第2の電極が前記第2の電界効果型トランジスタの第1の電極に接続され、第1の電極が前記第1の電界効果型トランジスタの第2の電極に接続される第3の電界効果型トランジスタと、第2の電極が前記第1の電界効果型トランジスタの第1の電極に接続される電界効果型トランジスタで、第1の電極に前記共通画素駆動電

圧が印加される第4の電界効果型トランジスタとで構成され、前記第3の手段が、第2の電極が第2の基準電圧に接続される電界効果型トランジスタで、第1の電極が前記第1の電界効果型トランジスタの第2の電極に接続される第5の電界効果型トランジスタと、第2の電極が前記第1の電界効果型トランジスタの第1の電極に接続され、第1の電極が前記映像信号線に接続される第6の電界効果型トランジスタとで構成され、前記第2の電界効果型トランジスタは、前記制御手段から出力される第1の制御信号が制御電極に印加されたときにオンとされ、前記第3および第4の電界効果型トランジスタは、前記制御手段から出力される第2の制御信号が制御電極に印加されたときにオンとされ、前記第5および第6の電界効果型トランジスタは、前記制御手段から出力される第3の制御信号が制御電極に印加されたときにオンとされることを特徴とする。

【0007】また、本発明は、前記第2の手段が、第2の電極に映像信号電圧が印加される第7の電界効果型トランジスタと、第1の電極に第3の基準電圧が印加される電界効果型トランジスタで、第2の電極が前記第7の電界効果型トランジスタの第1の電極に接続される第8の電界効果型トランジスタと、前記第7の電界効果型トランジスタの第1の電極と、前記第2の電界効果型トランジスタの第1の電極との間に接続される結合容量とで構成され、前記第7の電界効果型トランジスタは、前記制御手段から出力される第4の制御信号が制御電極に印加されたときにオンとされ、前記第8の電界効果型トランジスタは、前記制御手段から出力される第5の制御信号が制御電極に印加されたときにオンとされることを特徴とする。また、本発明は、前記第2の手段が、表示データのビット数だけ設けられる複数のデータ入力手段を有し、各データ入力手段は、表示データの各ビット値を格納するラッチ部と、第2の電極が前記ラッチ部に接続される第7の電界効果型トランジスタと、第1の電極に第3の基準電圧が印加される電界効果型トランジスタで、第2の電極が前記第7の電界効果型トランジスタの第1の電極に接続される第8の電界効果型トランジスタと、前記第7の電界効果型トランジスタの第1の電極と、前記第2の電界効果型トランジスタの第1の電極との間に接続される結合容量とで構成され、前記各データ入力手段の第7の電界効果型トランジスタは、前記制御

手段から出力される第4の制御信号が制御電極に印加されたときにオンとされ、前記各データ入力手段の第8の電界効果型トランジスタは、前記制御手段から出力される第5の制御信号が制御電極に印加されたときにオンとされることを特徴とする。

【0008】また、本発明は、前記駆動手段が、前記映像信号取込手段を2系統有し、さらに、前記2系統映像信号取込手段から各映像信号線に対して、交互に画素駆動電圧を供給する複数の選択手段を有することを特徴とする。また、本発明は、前記各電界効果型トランジスタが、制御電極下のチャネル形成領域が多結晶シリコンであることを特徴とする。また、本発明は、前記マトリクス状に設けられる複数の画素、前記複数の映像信号線、および前記駆動手段が、液晶表示素子内に組み込まれていることを特徴とする。

【0009】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0010】【実施の形態1】図1は、本発明のPoly-Si Tr-TFT液晶表示モジュールに適用される電圧再生回路の一例の回路構成を示す回路図である。図2は、図1に示す電圧再生回路に入力される外部パルス波形(φ1~φ3)の一例と、各外部パルス波形(φ1~φ3)入力時の各ノードの電圧波形を模式的に示す図である。この図1に示す電圧再生回路は、NMOSTランジスタのみで構成したものであり、図1において、M1~M6はMOSTランジスタ、C0は負荷容量である。また、N1~N7は図1に示す電圧再生回路の各ノードを表し、ノード(N7)は図1に示す電圧再生回路の出力端(VOU)である。また、バイアス電圧(VD1, VD2, V1)の接続されているノード(N1, N5, N6)以外のノードは、簡単のため、の初期状態(GND)にあるとする。また、VD1, VD2は高電圧で、ここでは簡単のため、VD1=VD2とする。さらに、V1は出力したい電圧で、この場合、下記(1)式の条件が満たされているものとする。

【0011】

【数1】

$$V1 < VD1 - V_{th}(M3) - V_{th}(M2 \text{ または } M5) \quad (1)$$

ここで、 $V_{th}(Mn)$ は、MOSTランジスタ(Mn)のしきい値電圧である。

【0012】以下に、前記条件下で、図1に示す電圧再生回路の動作を説明する。

(一) 外部パルス(φ1)が、Lowレベル(GND; 以下、単に、Lレベルと称する。)からHighレベル

(PVH1; 以下、単に、Hレベルと称する。)に変わると、MOSTランジスタ(M1)がON状態になる。なお、Hレベル(PVH1)は、下記(2)式を満足する必要がある。

【0013】

【数2】

$$PVH1 > V1 + V_{th}(M4 \text{ または } M6)$$

$$+V_{th}(M3) + V_{th}(M2 \text{ または } M5) \quad (2)$$

ここでは簡単のため、 $PVH1=VD1$ とすると、MOSトランジスタ(M1)がON状態になると、ノード(N2)の電圧は、GNDから $(VD1-V_{th}(M1))$ になる。ここで、外部パルス( $\phi 1$ )が再びLレベルになり、MOSトランジスタ(M1)がOFF状態になる。なお、厳密には、この時、MOSトランジスタ

(M1)のゲートとノード(N2)との結合容量( $C1$ )により、 $\Delta V$ 程度の電圧変動があるが、容量( $C2$ )を十分大きくすることで実用上無視できる値とすることができるため、以降の議論では言及しない。

【0014】

【数3】

$$\Delta V \approx C12 \times (VD1 - V_{th}(M1)) / C2 \quad (3)$$

【0015】ここで、 $C2$ はノード(N2)の全容量である。

(二) 外部パルス( $\phi 2$ )が、Lレベル(GND)からHレベル( $PVH2$ )に変わると、MOSトランジスタ(M2)とMOSトランジスタ(M4)とがON状態に

なる。なお、Hレベル( $PVH2$ )は、下記(4)式を満足する必要がある。

【0016】

【数4】

$$PVH2 > V1 + V_{th}(M4 \text{ または } M6) + V_{th}(M3) + V_{th}(M2 \text{ または } M5) \quad (4)$$

この時、MOSトランジスタ(M3)は、ノード(N2)の電圧をゲート電圧とするダイオード接続となっているので、ノード(N2)の電圧が $(V1 + V_{th}(M3))$ になったところで、MOSトランジスタ(M3)はピンチオフして電流は止まる。ここで、外部パルス( $\phi 2$ )が、再びLレベルになり、MOSトランジスタ(M2)およびMOSトランジスタ(M4)はOFF状態になる。したがって、MOSトランジスタ(M3)のゲート電圧であるノード(N2)は、 $V1 - V_{th}(M$

3)に保持される。

【0017】(三) 外部パルス( $\phi 3$ )が、Lレベル(GND)からHレベル( $PVH3$ )に変わると、MOSトランジスタ(M5)とMOSトランジスタ(M6)とがON状態になる。なお、Hレベル( $PVH3$ )は、下記(5)式を満足する必要がある。

【0018】

【数5】

$$PVH3 > V1 + V_{th}(M4 \text{ または } M6) + V_{th}(M3) + V_{th}(M2 \text{ または } M5) \quad (5)$$

これにより、ノード(N6)→MOSトランジスタ(M5)→ノード(N3)→MOSトランジスタ(M3)→ノード(N4)→MOSトランジスタ(M6)→出力端(VOUT)と繋がる電圧(電流)出力回路系統がON状態となり、ノード(N6)から出力端(VOUT)に電流が供給される。この時、出力端(VOUT)の先に、電圧( $V0$ ;  $V0 < V1$ )の負荷容量( $C0$ )が接続されていると、負荷容量( $C0$ )の電圧が $V1$ になったところで、MOSトランジスタ(M3)が再びピンチオフして電流供給が止まる。即ち、負荷容量( $C0$ )の値およびMOSトランジスタ(M3)のしきい値電圧( $V_{th}(M3)$ )に関係なく、負荷容量( $C0$ )の電圧を $V1$ とすることができる。なお、図1では、NMOSトランジスタのみを使用する電圧再生回路について説明したが、図1に示す電圧再生回路は、PMOSトランジスタのみを使用する回路構成とすることも可能であり、さらに、CMOS構成とすることも可能である。例えば、MOSトランジスタ(M2, M5)をPMOSトランジスタ、MOSトランジスタ(M4, M6)をNMOSトランジスタとするCMOS構成としてもよい。

【0019】図3は、図1に示す電圧再生回路を応用した応用回路の一例の回路構成を示す回路図である。図4は、図3に示す応用回路に入力される外部パルス波形( $\phi 1 \sim \phi 5$ )の一例と、各外部パルス波形( $\phi 1 \sim \phi 5$ )入力時の各ノードの電圧波形を模式的に示す図である。図3に示す回路は、図1に示す電圧再生回路に、ノード(N2)に容量接続するための容量( $C1$ )と、外部パルス( $\phi 4$ ,  $\phi 5$ )により制御される2つのMOSアナログスイッチトランジスタ(M7, M8)からなる信号入力部を付加したのものである。MOSアナログスイッチトランジスタ(M7)のドレインには、外部より供給されるアナログ信号電圧が入力され、MOSアナログスイッチトランジスタ(M8)のソースには、基準バイアス電圧(ここでは $VSS=GND$ )が印加される。また、 $V1=VCOM$ とする。

【0020】以下、図4を用いて、図3に示す応用回路の動作を説明する。

(一) 図4の時刻( $t7$ )までは、図1に示す電圧再生回路の動作と同じなので、時刻( $t7$ )までの動作で、ノード(N2)は、 $VCOM + V_{th}(M3)$ の電圧に

なる。この時刻(t7)まで間に、外部パルス(φ5)をHレベルにするのは、外部パルス(φ1, φ2)のパルス動作とは無関係に、ノード(N8)をVSS(=GND)にするためである。

(二)時刻(t7)から時刻(t8)の期間、外部パルス(φ4)がHレベルになると、この期間のアナログ信号電圧が、ノード(N8)に読み込まれ、容量(C1, CS2)と、MOSトランジスタ(M7)のON抵抗で決定される時定数で、ノード(N2)がアナログ信号電圧に向かって変化する。この時刻(t8)までに読み込まれた電圧で、時刻(t8)以降のノード(N2)の電圧レベルが決定される。なお、容量(CS2)は、ノード(N2)の寄生容量で、容量(C1)以外の容量である。時刻(t7)から時刻(t8)までのノード(N2)の電圧変動をVS1とすると、時刻(t8)以降のノード(N2)の電圧は、 $V_{COM} + V_{th}(M3) + VS1$ となる。

(三)時刻(t9)で外部パルス(φ3)がHレベルになると、MOSトランジスタ(M5, M6)がON状態となり、電圧(電流)出力回路系統がON状態になると、ノード(N6)から出力端(VOU)に電流が供給され、MOSトランジスタ(M3)がピンチオフする( $V_{COM} + VS1$ )の電圧まで負荷容量(C0)を充

$$VS1 = (VS1' \times C1) / (C1 + CS2)$$

..... (6)

(二)この後、時刻(t12)から時刻(t16)までの間、外部パルス(φ1)をHレベルにし、次に、外部パルス(φ2)をHレベルにする一連の動作を行う。これにより、時刻(t16)直後のノード(N2)の電圧は、ノード(N8)が( $VS1'$ )という条件下で、 $V_{COM} + V_{th}(M3)$ となる。

(三)時刻(t17)で、外部パルス(φ5)をHレベルにすると、ノード(N8)はVSS(=GND)レベルに変化し、この結果、ノード(N2)の電圧は、 $V_{COM} + V_{th}(M3) - VS1$ になる。

(四)時刻(t19)で外部パルス(φ3)がHレベルになると、MOSトランジスタ(M5, M7)がON状態となり、電圧(電流)出力回路系統がON状態になると、ノード(N6)から出力端(VOU)に電流が供給され、MOSトランジスタ(M3)がピンチオフする( $V_{COM} - VS1$ )の電圧まで負荷容量(C0)を充電する。即ち、MOSトランジスタ(M7)で読み込んだアナログ信号電圧(VS1)を電圧変動なしに、更にMOSトランジスタ(M3)のしきい値電圧( $V_{th}(M3)$ )の影響なく、ある基準電圧( $V_{COM}$ )から差し引くことができる。図3に示す応用回路は、特に、コモン電極に印加されるコモン電圧(本発明の共通画素駆動電圧)に対して、正極性あるいは負極性の画素駆動電圧を必要とする液晶表示モジュールの表示パネルの内蔵駆動回路として有用である。例えば、ある基準電圧

電する。即ち、MOSトランジスタ(M7)で読み込んだアナログ信号電圧(VS1)を電圧変動なしに、更にMOSトランジスタ(M3)のしきい値電圧( $V_{th}(M3)$ )の影響なく、ある基準電圧( $V_{COM}$ )に加算することができる。

【0021】図3に示す応用回路において、外部パルスの入力タイミングを変えることで、ある基準電圧( $V_{COM}$ )からアナログ信号電圧(VS1)を差し引くことも容易である。以下、図5を用いて、図3に示す応用回路で、ある基準電圧( $V_{COM}$ )からアナログ信号電圧(VS1)を差し引く場合の動作を説明する。なお、図5は、図3に示す応用回路に入力される外部パルス波形(φ1~φ5)の他の例と、各外部パルス波形(φ1~φ5)入力時の各ノードの電圧波形を模式的に示す図である。

(一)まず、時刻(t11)から時刻(t12)の期間で、外部パルス(φ4)をHレベルにする。この時、図4の場合と同様に、ノード(N8)は、アナログ信号電圧( $VS1'$ )になる。ここで、 $VS1'$ は、下記(6)式を満足する電圧である。

【0022】

【数6】

( $V_{COM}$ )を、コモン電極に印加されるコモン電圧とすれば、図3に示す応用回路において、図4、図5に示すようなパルス駆動を行うことにより、各画素電極に正極性あるいは負極性を簡単に供給することができる。

【0023】図6は、図1に示す電圧再生回路を応用した応用回路の他の例の回路構成を示す回路図である。図7は、図6に示す応用回路に入力される外部パルス波形(φ1~φ5)の一例と、各外部パルス波形(φ1~φ5)入力時の各ノードの電圧波形を模式的に示す図である。図6に示す回路は、図3に示す回路において、入力信号を3ビットのデジタル信号としたものである。図6に示す回路では、ビット数(図6では3ビット)に応じた数だけの結合容量(C1~C3)をノード(N2)に接続する。各結合容量(C3)を介してノード(N2)に接続されるノード(N8)には、MOSアナログスイッチトランジスタ(M9)とMOSアナログスイッチトランジスタ(M10)とが接続される。ここで、MOSアナログスイッチトランジスタ(M9)のドレインには、データラッチ部(LT1)から供給される入力デジタル信号(DS3)の信号電圧が入力され、MOSスイッチトランジスタ(M10)のソースには、基準バイアス電圧( $VSS = GND$ )が印加される。同様に、結合容量(C2)を介してノード(N2)に接続されるノード(N9)には、MOSアナログスイッチトランジスタ(M11)とMOSアナログスイッチトランジスタ(M



12)とが接続され、MOSアナログスイッチトランジスタ(M11)のドレインには、データラッチ部(LT2)から供給される入力デジタル信号(DS2)の信号電圧が入力され、MOSスイッチトランジスタ(M12)のソースには、基準バイアス電圧( $V_{SS}=GND$ )が印加される。同様に、結合容量(C1)を介してノード(N2)に接続されるノード(N10)には、MOSアナログスイッチトランジスタ(M13)とMOSアナログスイッチトランジスタ(M14)とが接続され、MOSアナログスイッチトランジスタ(M13)のドレインには、データラッチ部(LT3)から供給される入力デジタル信号(DS1)の信号電圧が入力され、MOSスイッチトランジスタ(M14)のソースには、基準バイアス電圧( $V_{SS}=GND$ )が印加される。入力デジタル信号(DS1~DS3)は、各々のデータラッチ部(LT1~LT3)でラッチされ、所望のタイミングで、各ノード(N11~N13)に出力される。この各ノード(N11~N13)に出力されるデジタル信号電圧を、アナログ信号電圧に変換して、ノード(N2)に出力し、前記図4と同様に動作させることにより、データラッチ部(LT1~LT3)から出力される3ビットのデジタル信号電圧に対応するアナログ信号電圧( $V_{S1}$ )を電圧変動なしに、更にMOSトランジスタ(M3)のしきい値電圧( $V_{th}(M3)$ )の影響なく、ある基準電圧( $V_{COM}$ )に重畳することができる。この場合の動作は、前記図4を用いて説明した場合と同じであるので、その詳細な説明は省略する。デジタル・アナログ変換は、出力ノード(N11~N13)に信号電圧を出力する際に(例えば、3ビットの場合)その電圧を、 $V_A$ 、 $2V_A$ 、 $4V_A$ になるような構成とし、結合容量(C1~C3)を同一容量の値としても良いし、あるいは、出力ノード(N11~N13)の信号電圧は一定値とし、結合容量(C1~C3)の値を、各々 $CA$ 、 $2CA$ 、 $4CA$ としても良い。この際、容量(CS2)による電圧効果が、実用上問題にならないレベルに、結合容量(C1~C3)を設定すれば良い。

【0024】図8は、図6に示す応用回路に入力される外部パルス波形( $\phi 1 \sim \phi 5$ )の他の例と、各外部パルス波形( $\phi 1 \sim \phi 5$ )入力時の各ノードの電圧波形を模式的に示す図である。図8は、図6に示す回路において、ある基準電圧( $V_{COM}$ )からアナログ信号電圧( $V_{S1}$ )を差し引く場合の、各外部パルス波形( $\phi 1 \sim \phi 5$ )の入力タイミングを示す図である。図6に示す回路において、前記図5に示すタイミングで動作させることにより、データラッチ部(LT1~LT3)から出力される3ビットのデジタル信号に対応するアナログ信号電圧( $V_{S1}$ )を電圧変動なしに、更にMOSトランジスタ(M3)のしきい値電圧( $V_{th}(M3)$ )の影響なく、ある基準電圧( $V_{COM}$ )から差し引くことができる。この場合の動作は、前記図5を用いて説明した場

合と同じであるので、その詳細な説明は省略する。なお、前記説明では、簡単のため、MOSトランジスタのゲートのON/OFFによるフローティングノードの変動を無視して記載したが、現実の適用時には、これを考慮すべきことは言うまでもない。さらに、通常の半導体のような深いWELLまたはSUB構造を持つデバイスでは、ソース変動による基板効果定数が大きく、前記応用回路のような、しきい値電圧( $V_{th}$ )設定後にゲート電圧を変動させる使用法は、基板効果によるしきい値電圧( $V_{th}$ )シフト量が大きすぎて、本発明のねらいであるしきい値電圧( $V_{th}$ )の相殺が不十分である可能性があるが、Poly-SiTr素子のTFT、またはSOIといった薄膜トランジスタでは基板効果が小さいため、実用可能である。

【0025】図9は、本発明の実施の形態1のPoly-SiTr-TFT液晶表示モジュールの表示パネルの等化回路を示す図である。なお、図9は回路図であるが、実際の幾何学的配置に対応して描かれており、また、本実施の形態の液晶表示パネル(本発明の液晶表示素子)では、走査信号線(G)が(m)本で構成され、映像信号線(D)が(n)本で構成されているが、図9では、走査信号線(G)は6本、映像信号線(D)は7本しか図示していない。本実施の形態の液晶表示パネルは、マトリクス状に配置される画素を有し、各画素は隣接する2本の走査信号線(ゲート信号線または水平信号線)(G)と、隣接する2本の映像信号線(ドレイン信号線または垂直信号線)(D)との交差領域(4本の信号線で囲まれた領域)内に配置される。各画素は、例えば、Poly-SiTrからなる薄膜トランジスタ(TFT)を有し、マトリクス状に配置された各画素の各列毎の各薄膜トランジスタ(TFT)のドレインは、それぞれ映像信号線(D)に接続され、また、マトリクス状に配置された各画素の各薄膜トランジスタ(TFT)のソースは、画素電極(ITO1)に接続される。なお、ドレインおよびソースは、本来その間のバイアス極性によって決まるもので、本実施の形態のモジュールでは、その極性は動作中反転するので、ドレイン、ソースは動作中入れ替わるものであるが、本明細書では、便宜上一方をドレイン、他方をソースと固定して説明する。

【0026】映像信号線(D)は、ビデオ信号取り込み回路(11~17)を介して、対応するビデオ信号線( $S0 \sim S5$ )に接続される。ここで、各ビデオ信号取り込み回路(11~17)は、前記図4に示す応用回路で構成され、さらに、各ビデオ信号取り込み回路(11~17)は、6個ずつグループ化され、各グループ毎のビデオ信号取り込み回路(11~16)には、同一タイミングの外部パルス( $\phi 1 \sim \phi 5$ )が、制御回路部100から入力される。また、マトリクス状に配置された各画素の各行毎の各薄膜トランジスタ(TFT)のゲートは、それぞれ走査信号線(G)に接続され、この走査信

号線(G)は、垂直走査回路110に接続される。各薄膜トランジスタ(TFT)は、ゲートに正のバイアス電圧を印加すると導通し、ゲートに負のバイアス電圧を印加すると不導通になる。また、画素電極(ITO1)とコモン電極との間に液晶層が設けられるので、各画素電極(ITO1)には、液晶容量( $C_{LC}$ )が等化的に接続され、また、前段の走査信号線(G)と画素電極(ITO1)との間には、保持容量( $C_{add}$ )が接続される。なお、ビデオ信号取り込み回路(11~17)、制御回路部100、垂直走査シフトレジスタ(VSR)、および垂直走査回路110は、液晶表示パネルに組み込まれており、薄膜トランジスタ(TFT)と同じくPoly-SiTrで構成され、同一の基板上に形成される。

【0027】以下、本実施の形態の液晶表示パネルの動作について簡単に説明する。図9に示す垂直走査回路110は、スタートパルス(DY)および垂直駆動用クロック信号(CLY)により走査信号線(G)を順次選択して、選択した走査信号線(G)に正のバイアス電圧を出力する。これにより、選択された走査信号線(G)をゲートとする薄膜トランジスタ(TFT)がオンとなる。また、制御回路部100は、スタートパルス(DX)および水平駆動用クロック信号(C LX)により、各グループ毎のビデオ信号取り込み回路(11~16)に、外部パルス( $\phi 1 \sim \phi 5$ )を出力し、これにより、各グループを構成する各ビデオ信号取り込み回路(11~16)により、ビデオ信号線(S0~S5)から6分割されたビデオ信号が、対応する6本の映像信号線

(D)に出力される。したがって、選択された走査信号線(G)をゲートとする薄膜トランジスタ(TFT)に対応する画素に、取り込まれたビデオ信号(ビデオ信号の電圧)が書き込まれ、液晶表示パネルに表示される。

【0028】図10は、本実施の形態のPoly-SiTr-TFT液晶表示モジュールの周辺回路の概略回路構成を示すブロック図である。同図において、TFT-LCDは液晶表示パネル、301はコントロールIC回路、302はデジタル/アナログ(D/A)変換器、304はサンプルホールド回路、305はドライバIC回路、306は信号処理回路である。本体側から送信される表示データ(R(赤)・G(緑)・B(青)の中の1つ)はD/A変換器302でアナログのビデオ信号とされる。なお、本体側からビデオ信号が供給される場合には、前記D/A変換器302は必要ない。図9に示す液晶表示パネルでは、映像信号線(D)を6相に分けて駆動(走査)するため、ビデオ信号もそれに併せて6相に分割する必要がある。そのため、D/A変換器302からのビデオ信号は、水平駆動用クロック信号(C LX)と同期したサンプルホールド(S/H)用クロックに基づき、サンプルホールド回路304で6相に分割される。さらに、この6相に分割されたビデオ信号は、タイ

ムルド回路304から出力される。さらに、6相に分割されたビデオ信号は、信号処理回路306で、増幅処理・ $\gamma$ 処理・交流化処理が施され、液晶表示パネル(TFT-LCD)のビデオ信号線(S1~S6)に供給される。ここで、 $\gamma$ 処理は、液晶層のガンマ特性を補正するための信号処理であり、交流化処理は、液晶層に直流電圧が印加されるのを防止するための信号処理である。なお、サンプルホールド回路304と信号処理回路306の順序を入れ替えた回路構成とすることも可能である。また、前記図9に示す液晶表示パネルは、多色表示可能なカラー液晶表示パネルであってもよく、その場合には、R・G・Bの各表示データを、それぞれD/A変換器302でビデオ信号に変換し、当該各ビデオ信号をそれぞれサンプルホールド回路304で6相に分割し、液晶表示パネルのビデオ信号線(S1~S6)に供給するようにすればよい。但し、多色表示可能なカラー液晶表示パネルにおいては、前記図9に示す液晶表示パネルに、R・G・B用の薄膜トランジスタ(TFT)、R・G・B用の映像信号線(D)およびカラーフィルタを設け、R・G・Bのビデオ信号をそれぞれの映像信号線(D)に供給する必要がある。また、1個の半導体集積回路(LSI)で構成されるコントロールIC回路301は、本体側からの水平同期信号(H-SYNC)、垂直同期信号(V-SYNC)、クロックパルス(CLK)に基づいて、水平駆動用クロック信号(C LX)、垂直駆動用クロック信号(C LY)等を生

成する。また、ドライバIC回路305は、水平駆動用クロック信号(C LX)、垂直駆動用クロック信号(C LY)等を、液晶表示パネル(TFT-LCD)を動作させるために必要な電圧まで増幅する。

【0029】一般に、液晶層は、長時間同じ電圧(直流電圧)が印加されていると、液晶層の傾きが固定化され、結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。これを防止するために、液晶表示装置においては、コモン電極に印加する電圧を基準にして、画素電極(ITO1)に印加する駆動電圧を、一定時間毎に正電圧側/負電圧側に変化(一般に、これを交流化と呼んでいる。)させるようにしている。

【0030】以下、本実施の形態のPoly-SiTr-TFT液晶表示モジュールにおける交流化駆動方法について説明する。液晶層に交流電圧を印加する駆動方法として、コモン対称法とコモン反転法の2通りの方法が知られている。本実施の形態のPoly-SiTr-TFT液晶表示モジュールにおいては、制御回路部100から供給する外部パルス( $\phi 1 \sim \phi 5$ )のタイミングを、図4に示すタイミングの第1モードのパルス信号、あるいは図5に示すタイミングの第2モードのパルス信号に変化させることにより、どちらの方式にも対応可能である。例えば、奇数フレームの奇数ラインに正極性のビデオ信号を、奇数フレームの偶数ラインに負極性のビ

デオ信号を印加し、さらに、偶数フレームの奇数ラインに負極性のビデオ信号を、また、偶数フレームの偶数ラインに正極性のビデオ信号を印加する交流化駆動方法を採用する場合であっても、一走査ライン毎に、制御回路部100から図4に示すタイミングの外部パルス( $\phi 1 \sim \phi 5$ )、あるいは図5に示すタイミングの外部パルス( $\phi 1 \sim \phi 5$ )を、各ビデオ信号取り込み回路(11~17)に供給することにより容易に対応可能である。

【0031】また、前記コモン対称法の一つに、ドット反転法が知られている。このドット反転法では、例えば、奇数フレームの奇数ラインでは、奇数番目の映像信号線(D)に負極性の階調電圧が、また、偶数番目の映像信号線(D)に正極性の階調電圧が印加される。さらに、奇数フレームの偶数ラインでは、奇数番目の映像信号線(D)に正極性の階調電圧が、また、偶数番目の映像信号線(D)に負極性の階調電圧が印加される。また、各ライン毎の極性はフレーム毎に反転され、偶数フレームの奇数ラインでは、奇数番目の映像信号線(D)に正極性の階調電圧が、また、偶数番目の映像信号線(D)に負極性の階調電圧が印加される。また、偶数フレームの偶数ラインでは、奇数番目の映像信号線(D)に負極性の階調電圧が、また、偶数番目の映像信号線(D)に正極性の階調電圧が印加される。本実施の形態のPoly-Si-TFT液晶表示モジュールにおいて、前記ドット反転法を採用する場合には、例えば、図11に示すように、映像信号線(Dn)に設けられるビデオ信号取り込み回路21に供給する外部パルス( $\phi 1 \sim \phi 5$ )のタイミングを、例えば、図4に示すタイミングとし、映像信号線(Dn)に隣接する映像信号線(Dn+1)に設けられるビデオ信号取り込み回路22に供給する外部パルス( $\phi 1 \sim \phi 5$ )のタイミングを、例えば、図5に示すタイミングとし、1ライン毎で、かつ、1フレーム毎に切り換えるようにすればよい。

【0032】なお、図11において、TG1~TG4はトランスファゲート回路、SAは、図4に示すタイミングの外部パルス( $\phi 1 \sim \phi 5$ )が供給される信号線、SBは図5に示すタイミングの外部パルス( $\phi 1 \sim \phi 5$ )が供給される信号線である。また、SSAは、ゲート切替え信号が供給される信号線であり、このゲート切替え信号(SSA)を、1ライン毎で、かつ、1フレーム毎に、HレベルあるいはLレベルに切り換えることにより、隣接する映像信号線(Dn, Dn+1)毎に設けられるビデオ信号取り込み回路(21, 22)に供給する外部パルス( $\phi 1 \sim \phi 5$ )のタイミングを、1ライン毎で、かつ、1フレーム毎に切り換える。

【0033】さらに、本実施の形態のPoly-Si-TFT液晶表示モジュールにおいて、前記ドット反転法を採用する場合に、図12に示すような構成を採用してもよい。図12に示す構成では、各映像信号毎に2系統のビデオ信号取り込み回路(31a, 31b, 32

a, 32b)を設け、この2系統のビデオ信号取り込み回路の一方に供給する外部パルス( $\phi 1 \sim \phi 5$ )のタイミングと、他方に供給する外部パルス( $\phi 1 \sim \phi 5$ )のタイミングとを異ならせる。即ち、ビデオ信号取り込み回路(31a, 32a)に供給する外部パルス( $\phi 1 \sim \phi 5$ )のタイミングを、例えば、図4に示すタイミングとし、また、ビデオ信号取り込み回路(31b, 32b)に供給する外部パルス( $\phi 1 \sim \phi 5$ )のタイミングを、例えば、図5に示すタイミングとする。なお、図12において、TG11~TG18はトランスファゲート回路、SAは、図4に示すタイミングの外部パルス( $\phi 1 \sim \phi 5$ )が供給される信号線、SBは図5に示すタイミングの外部パルス( $\phi 1 \sim \phi 5$ )が供給される信号線である。また、SSAは、ゲート切替え信号が供給される信号線であり、このゲート切替え信号(SSA)により、トランスファゲート回路(TG11~TG14)を交互にオンとすることにより、1ライン毎に、2系統のビデオ信号取り込み回路を交互に切り換えて、映像信号線と接続し、かつ、1フレーム毎に、映像信号線に接続する2系統のビデオ信号取り込み回路の接続順を交換する。即ち、奇数フレームの奇数番目のラインで、例えば、ビデオ信号取り込み回路31aを映像信号線(Dn)に接続し、かつ、偶数ラインで、ビデオ信号取り込み回路31bを映像信号線(Dn)に接続し、また、偶数フレームの奇数番目のラインで、ビデオ信号取り込み回路31bを映像信号線(Dn)に接続し、かつ、偶数ラインで、ビデオ信号取り込み回路31aを映像信号線(Dn)に接続する。なお、図12に示す構成では、トランスファゲート回路(TG15~TG18)により、ビデオ信号が1ライン毎に交互に、ビデオ信号取り込み回路31a、あるいはビデオ信号取り込み回路31bに取り込まれる。即ち、ビデオ信号取り込み回路31aが映像信号線(Dn)に接続されている場合に、ビデオ信号取り込み回路31bには、ビデオ信号線(S0)から、ビデオ信号が入力される。これにより、回路構成は複雑になるが、ビデオ信号取り込みと、ビデオ信号の画素書き込みとが分離されるので、タイミング調整等の点で有利となる。なお、前記本実施の形態では、制御回路部100および垂直走査回路110を、液晶表示パネル内に組み込まれた実施の形態について説明したが、本発明はこれに限定されるものではなく、制御回路部100および垂直走査回路110は、液晶表示パネルの外部に設けるようにしてもよい。

【0034】【実施の形態2】図13は、本発明の実施の形態2のTFT方式の液晶表示モジュールの全体の概略構成を示すブロック図である。本実施の形態の液晶表示モジュールは、ビデオ信号がデジタル信号で入力される液晶表示モジュールであり、本実施の形態の液晶表示モジュールは、液晶表示パネル200と、表示制御装置201と、制御回路部202とで構成される。液晶表示

パネル200は、表示部210と、水平走査回路220と、垂直走査回路230とから構成される。ここで、水平走査回路220は、メモリアドレス選択回路（以下、水平シフトレジスタ回路と称する。）221と、ラッチ回路部222と、ビデオ信号取り込み回路（411～41n）とから構成される。各ビデオ信号取り込み回路（411～41n）は、前記図7に示す応用回路で構成され、さらに、各ビデオ信号取り込み回路（411～41n）には、同一タイミングの外部パルス（ $\phi 1 \sim \phi 5$ ）が、制御回路部202から入力される。また、液晶表示パネル200の表示部210は、前記図9に示すものと同じである。表示制御装置201は、1個の半導体集積回路（LSI）から構成され、表示制御装置201には、クロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各表示制御信号および表示用データ（R・G・B）が、コンピュータ本体側から送信されてくる。

【0035】次に、表示データが3ビットの場合における、本実施の形態の液晶表示モジュールの動作の概略を説明する。表示制御装置201は、垂直同期信号入力後に、第1番目のディスプレイタイミング信号が入力されると、これを第1番目の表示ラインと判断して垂直走査回路230にスタートパルス（SY）を出力する。また、表示制御装置201は、水平同期信号に基づいて、1水平走査時間毎に、表示部210の各走査信号線（G）に順次正のバイアス電圧を印加するように、垂直走査回路230に1水平走査時間周期のシフトクロックである垂直駆動用クロック信号（CLY）を出力する。これにより、垂直走査回路230は、走査信号線（G）を順次選択して、選択した走査信号線（G）に正のバイアス電圧を出力し、選択された走査信号線（G）にゲートが接続される薄膜トランジスタ（TFT）を1走査期間オンとする。

【0036】表示制御装置201は、ディスプレイタイミング信号が入力されると、これを表示開始位置と判断し、受け取った単純1列の3ビットの表示データを、水平走査回路220のラッチ回路部222に出力する。同時に、表示制御装置201は、水平シフトレジスタ回路221に、スタートパルス（DX）と、表示データラッチ用クロックを出力する。これにより、水平シフトレジスタ回路221は、ラッチ回路部222に、表示データ取り込み用シフトパルスを順次出力する。ラッチ回路部222は、この表示データ取り込み用シフトパルスにより、表示データを順次格納し、ビデオ信号取り込み回路（411～41n）の各データラッチ部（図6に示すLT1～LT3）に入力する。各データラッチ部（LT1～LT3）は、外部パルス（ $\phi 1 \sim \phi 5$ ）の入力前に、ラッチ回路部222からのデータをラッチし、前記図7、図8を用いて説明した手順で、各映像信号線（D1～Dn）にビデオ信号を供給する。これにより、選択さ

れた走査信号線（G）にゲートが接続される薄膜トランジスタ（TFT）を有する画素に、表示データに対応した階調電圧が書き込まれ、表示部210に画像が表示される。

【0037】本実施の形態のPoly-SiTr-TFT液晶表示モジュールにおいても、制御回路部202から供給する外部パルス（ $\phi 1 \sim \phi 5$ ）のタイミングを、図7あるいは図8に示すタイミングに変化させることにより、前記したコモン対称法あるいはコモン反転法のどちらの交流化駆動にも対応可能である。また、本実施の形態のPoly-SiTr-TFT液晶表示モジュールにおいて、前記ドット反転法を採用する場合でも、例えば、前記図11に示すような方法により容易に対応可能である。即ち、映像信号線（Dn）に設けられるビデオ信号取り込み回路21に供給する外部パルス（ $\phi 1 \sim \phi 5$ ）のタイミングを、例えば、図7に示すタイミングとし、映像信号線（Dn）に隣接する映像信号線（Dn+1）に設けられるビデオ信号取り込み回路22に供給する外部パルス（ $\phi 1 \sim \phi 5$ ）のタイミングを、例えば、図8に示すタイミングとし、1ライン毎で、かつ、1フレーム毎に切り換えるようにすればよい。

【0038】さらに、本実施の形態のPoly-SiTr-TFT液晶表示モジュールにおいても、前記ドット反転法を採用する場合に、前記図12に示すような構成を採用してもよい。即ち、各映像信号毎に2系統のビデオ信号取り込み回路（31a、31b、32a、32b）を設け、ビデオ信号取り込み回路（31a、32a）に供給する外部パルス（ $\phi 1 \sim \phi 5$ ）のタイミングを、例えば、図7に示すタイミングとし、また、ビデオ信号取り込み回路（31b、32b）に供給する外部パルス（ $\phi 1 \sim \phi 5$ ）のタイミングを、例えば、図8に示すタイミングとし、1ライン毎に、2系統のビデオ信号取り込み回路を交互に切り換えて映像信号線と接続し、かつ、1フレーム毎に、映像信号線に接続する2系統のビデオ信号取り込み回路の接続順を交換すればよい。なお、図13に示す水平走査回路220および垂直走査回路230は、液晶表示パネルに組み込まれており、薄膜トランジスタ（TFT）と同じくPoly-SiTrで構成され、同一の基板上に形成される。なお、前記各実施の形態では、本発明をポリ・シリコン・トランジスタを使用したTFT方式のモジュールに適用した実施の形態について説明したが、本発明はこれに限定されるものではなく、本発明は、アモルファス・シリコン・トランジスタを使用したTFT方式のモジュールに適用可能である。以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0039】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。本発明によれば、各画素に駆動電圧を供給する電界効果型トランジスタのしきい値電圧のバラツキにより、液晶表示素子の表示画面に生じる線状の模様を防止して、液晶表示素子の表示画面の表示品質を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明のPoly-SiTr-TFT液晶表示モジュールに適用される電圧再生回路の一例の回路構成を示す回路図である。

【図2】図1に示す電圧再生回路に入力される外部パルス波形( $\phi 1 \sim \phi 3$ )の一例と、各外部パルス波形( $\phi 1 \sim \phi 3$ )入力時の各ノードの電圧波形を模式的に示す図である。

【図3】図1に示す電圧再生回路を応用した応用回路の一例の回路構成を示す回路図である。

【図4】図3に示す応用回路に入力される外部パルス波形( $\phi 1 \sim \phi 5$ )の一例と、各外部パルス波形( $\phi 1 \sim \phi 5$ )入力時の各ノードの電圧波形を模式的に示す図である。

【図5】図3に示す応用回路に入力される外部パルス波形( $\phi 1 \sim \phi 5$ )の他の例と、各外部パルス波形( $\phi 1 \sim \phi 5$ )入力時の各ノードの電圧波形を模式的に示す図である。

【図6】図1に示す電圧再生回路を応用した応用回路の他の例の回路構成を示す回路図である。

【図7】図6に示す応用回路に入力される外部パルス波形( $\phi 1 \sim \phi 5$ )の一例と、各外部パルス波形( $\phi 1 \sim \phi 5$ )入力時の各ノードの電圧波形を模式的に示す図である。

【図8】図6に示す応用回路に入力される外部パルス波形( $\phi 1 \sim \phi 5$ )の他の例と、各外部パルス波形( $\phi 1 \sim \phi 5$ )入力時の各ノードの電圧波形を模式的に示す図である。

【図9】本発明の実施の形態1のPoly-SiTr-

TFT液晶表示モジュールの液晶表示パネルの等化回路を示す図である。

【図10】本発明の実施の形態1のPoly-SiTr-TFT液晶表示モジュールの周辺回路の概略回路構成を示すブロック図である。

【図11】本発明の実施の形態1のPoly-SiTr-TFT液晶表示モジュールを、ドット反転法で駆動する場合の一構成例を示す要部構成図である。

【図12】本発明の実施の形態1のPoly-SiTr-TFT液晶表示モジュールを、ドット反転法で駆動する場合の他の構成例を示す要部構成図である。

【図13】本発明の実施の形態2のTFT方式の液晶表示モジュールの全体の概略構成を示すブロック図である。

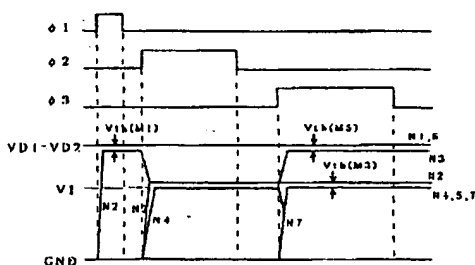
【図14】各MOSトランジスタのしきい値電圧( $V_{th}$ )の電圧レベルのばらつきを回避するための一回路構成を示す回路図である。

【符号の説明】

11~17, 21, 22, 31a, 31b, 32a, 32b, 411~41n…ビデオ信号取り込み回路、100, 202…制御回路部、110, 230…垂直走査回路、200, TFT-LCD…液晶表示パネル、201…表示制御装置、210…表示部、220…水平走査回路、221…メモリアドレス選択回路(水平レジスタ)、222…ラッチ回路部、301…コントロールIC回路、302…デジタル/アナログ(D/A)変換器、304…サンプルホールド回路、305…ドライバIC回路、306…信号処理回路、Cadd…保持容量、CLC…液晶容量、C0…負荷容量、C1~C3…結合容量、CS2…寄生容量、D…映像信号線(ドレイン信号線または垂直信号線)、FET…薄膜トランジスタ、G…走査信号線(ゲート信号線または水平信号線)、ITO1…画素電極、LT…データラッチ部、M, TR…電界効果型トランジスタ(MOSトランジスタ)、N…ノード、S…ビデオ信号線、TG…トランスファゲート回路。

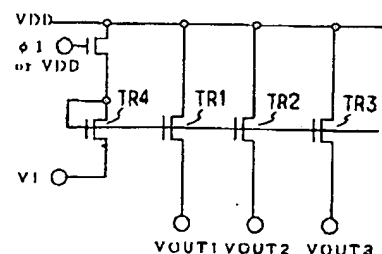
【図2】

図2



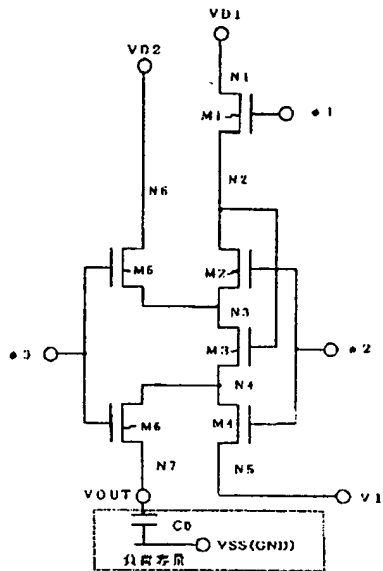
【図14】

図14



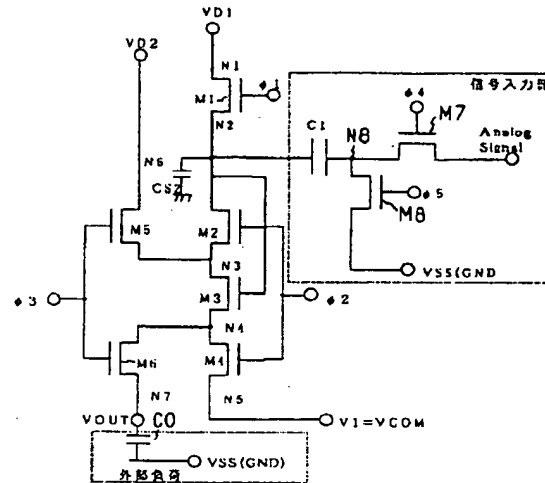
【図1】

図1



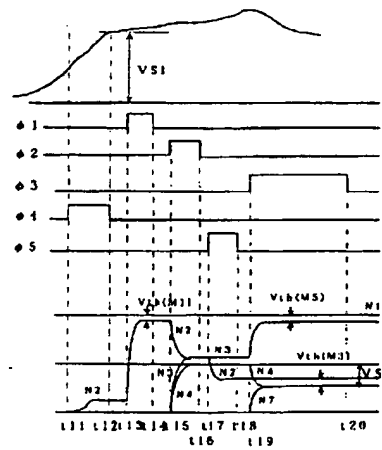
【図3】

図3



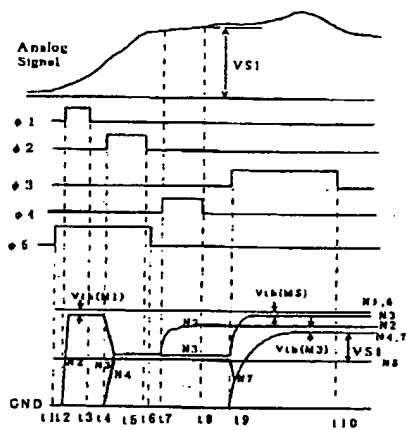
【図5】

図5



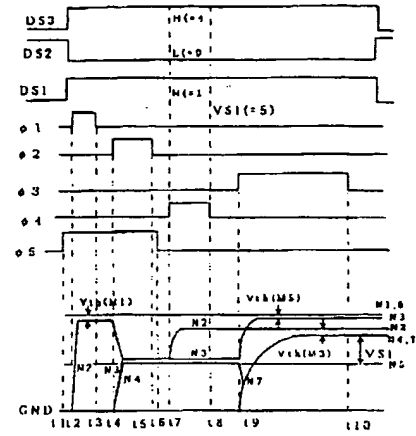
【図4】

図4



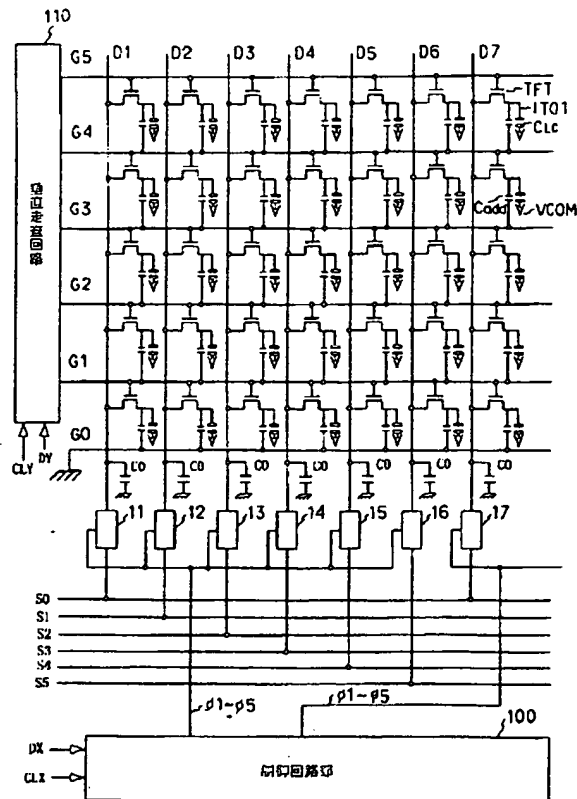
【圖 7】

图 7



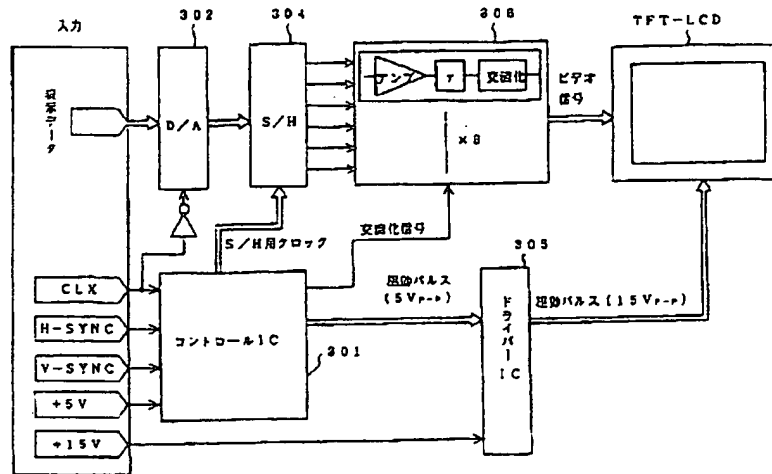
【図 9】

图 9



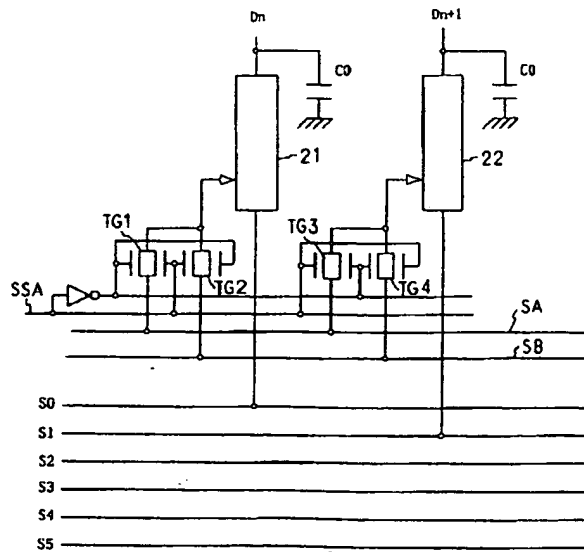
【図10】

図10



【図11】

図11







## 【手続補正書】

【提出日】平成11年8月18日（1999. 8. 18）

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】マトリクス状に設けられる複数の画素と、  
前記複数の画素の列（または行）方向の画素に画素駆動電圧を印加する複数の映像信号線と、  
前記複数の映像信号線に画素駆動電圧を供給する駆動手段とを備える液晶表示装置であって、  
前記駆動手段は、前記各映像信号線に画素駆動電圧を供給する複数の映像信号取込手段を有し、  
前記各映像信号取込手段は、第1の電界効果型トランジスタと、  
前記第1の電界効果型トランジスタの制御電極の電圧値を、前記各映像信号取込手段に入力する設定電圧に対して、前記第1の電界効果型トランジスタのしきい値電圧分だけ補正した電圧値に設定する第1の手段と、  
前記第1の手段で、制御電極の電圧値が前記第1の手段で補正された電圧値にされた第1の電界効果型トランジスタと共に、前記設定電圧を画素駆動電圧として、前記映像信号線に供給する第2の手段とを有することを特徴とする液晶表示装置。

【請求項2】前記駆動手段は、第1乃至第3の制御信号を、前記第1乃至第3の制御信号の順で前記各映像信号取込手段に対して送出して、前記各映像信号取込手段を制御する制御手段を有し、  
前記第1の手段は、第2の電極に第1の基準電圧が印加される電界効果型トランジスタで、第1の電極が前記第1の電界効果型トランジスタの制御電極に接続される第2の電界効果型トランジスタと、  
第2の電極が前記第2の電界効果型トランジスタの第1の電極に接続され、第1の電極が前記第1の電界効果型トランジスタの第2の電極に接続される第3の電界効果型トランジスタと、  
第2の電極が前記第1の電界効果型トランジスタの第1の電極に接続される電界効果型トランジスタで、第1の電極に前記設定電圧が印加される第4の電界効果型トランジスタとで構成され、  
前記第2の手段は、第2の電極が第2の基準電圧に接続される電界効果型トランジスタで、第1の電極が前記第1の電界効果型トランジスタの第2の電極に接続される第5の電界効果型トランジスタと、  
第2の電極が前記第1の電界効果型トランジスタの第1の電極に接続され、第1の電極が前記映像信号線に接続

される第6の電界効果型トランジスタとで構成され、  
前記第2の電界効果型トランジスタは、前記制御手段から出力される第1の制御信号が制御電極に印加されたときにオンとされ、  
前記第3および第4の電界効果型トランジスタは、前記制御手段から出力される第2の制御信号が制御電極に印加されたときにオンとされ、  
前記第5および第6の電界効果型トランジスタは、前記制御手段から出力される第3の制御信号が制御電極に印加されたときにオンとされることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】前記各電界効果型トランジスタは、制御電極下のチャンネル形成領域が多結晶シリコンであることを特徴とする請求項1または請求項2に記載の液晶表示装置。

【請求項4】前記マトリクス状に設けられる複数の画素、前記複数の映像信号線、および前記駆動手段は、液晶表示素子内に組み込まれていることを特徴とする請求項1ないし請求項3のいずれか1項に記載の液晶表示装置。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。即ち、本発明は、マトリクス状に設けられる複数の画素と、前記複数の画素の列（または行）方向の画素に画素駆動電圧を印加する複数の映像信号線と、前記複数の映像信号線に画素駆動電圧を供給する駆動手段とを備える液晶表示装置であって、前記駆動手段は、前記各映像信号線に画素駆動電圧を供給する複数の映像信号取込手段を有し、前記各映像信号取込手段は、第1の電界効果型トランジスタと、前記第1の電界効果型トランジスタの制御電極の電圧値を、前記各映像信号取込手段に入力する設定電圧に対して、前記第1の電界効果型トランジスタのしきい値電圧分だけ補正した電圧値に設定する第1の手段と、前記第1の手段で、制御電極の電圧値が前記第1の手段で補正された電圧値にされた第1の電界効果型トランジスタと共に、前記設定電圧を画素駆動電圧として、前記映像信号線に供給する第2の手段とを有することを特徴とする。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】また、本発明は、前記駆動手段が、第1乃至第3の制御信号を、前記第1乃至第3の制御信号の順で前記各映像信号取込手段に対して送出して、前記各映像信号取込手段を制御する制御手段を有し、前記第1の手段は、第2の電極に第1の基準電圧が印加される電界効果型トランジスタで、第1の電極が前記第1の電界効果型トランジスタの制御電極に接続される第2の電界効果型トランジスタと、第2の電極が前記第2の電界効果型トランジスタの第1の電極に接続され、第1の電極が前記第1の電界効果型トランジスタの第2の電極に接続される第3の電界効果型トランジスタと、第2の電極が前記第1の電界効果型トランジスタの第1の電極に接続される電界効果型トランジスタで、第1の電極に前記設定電圧が印加される第4の電界効果型トランジスタとで構成され、前記第2の手段は、第2の電極が第2の基準電圧に接続される電界効果型トランジスタで、第1の電極が前記第1の電界効果型トランジスタの第2の電極に接続される第5の電界効果型トランジスタと、第2の電極が前記第1の電界効果型トランジスタの第1の電極に接続され、第1の電極が前記映像信号線に接続される第6の電界効果型トランジスタとで構成され、前記第2の電界効果型トランジスタは、前記制御手段から出力される第1の制御信号が制御電極に印加されたときにオンとされ、前記第3および第4の電界効果型トランジスタは、前記制御手段から出力される第2の制御信号が制御電極に印加されたときにオンとされ、前記第5および第6の電界効果型トランジスタは、前記制御手段から出力される第3の制御信号が制御電極に印加されたときにオンとされることを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】また、本発明は、前記各電界効果型トランジスタが、制御電極下のチャネル形成領域が多結晶シリコンであることを特徴とする。また、本発明は、前記マトリクス状に設けられる複数の画素、前記複数の映像信号線、および前記駆動手段は、液晶表示素子内に組み込

$$PVH2 > V1 + V_{th} \quad (M4 \text{ または } M6)$$

$$+ V_{th} \quad (M3) + V_{th} \quad (M2 \text{ または } M5)$$

..... (4)

この時、MOSトランジスタ(M3)は、ノード(N2)の電圧をゲート電圧とするダイオード接続となっているので、ノード(N2)の電圧が( $V1 + V_{th} \quad (M3)$ )になったところで、MOSトランジスタ(M3)はピンチオフして電流は止まる。ここで、外部パルス( $\phi 2$ )が、再びLレベルになり、MOSトランジスタ(M2)およびMOSトランジスタ(M4)はOFF状態になる。したがって、MOSトランジスタ(M3)の

まれていることを特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】削除

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】削除

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】〔実施の形態1〕図1は、本発明のPoly-Si-TFT液晶表示モジュールに適用される電圧再生回路の一例の回路構成を示す回路図である。図2は、図1に示す電圧再生回路に入力される外部パルス波形( $\phi 1 \sim \phi 3$ )の一例と、各外部パルス波形( $\phi 1 \sim \phi 3$ )入力時の各ノードの電圧波形を模式的に示す図である。この図1に示す電圧再生回路は、NMOSトランジスタのみで構成したものであり、図1において、M1～M6はMOSトランジスタ、C0は負荷容量である。また、N1～N7は図1に示す電圧再生回路の各ノードを表し、ノード(N7)は図1に示す電圧再生回路の出力端(VOU)である。また、バイアス電圧(VD1, VD2, V1)の接続されているノード(N1, N5, N6)以外のノードは、簡単のため、初期状態(GND)にあるとする。また、VD1, VD2は高電圧で、ここでは簡単のため、VD1=VD2とする。さらに、V1は出力したい電圧で、この場合、下記(1)式の条件が満たされているものとする。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】

【数4】

ゲート電圧であるノード(N2)は、 $V1 + V_{th} \quad (M3)$ に保持される。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】映像信号線(D)は、ビデオ信号取り込み

回路(11~17)を介して、対応するビデオ信号線(S0~S5)に接続される。ここで、各ビデオ信号取り込み回路(11~17)は、前記図3に示す応用回路で構成され、さらに、各ビデオ信号取り込み回路(11~17)は、6個ずつグループ化され、各グループ毎のビデオ信号取り込み回路(11~16)には、同一タイミングの外部パルス( $\phi 1 \sim \phi 5$ )が、制御回路部100から入力される。また、マトリクス状に配置された各画素の各行毎の各薄膜トランジスタ(TFT)のゲートは、それぞれ走査信号線(G)に接続され、この走査信号線(G)は、垂直走査回路110に接続される。各薄膜トランジスタ(TFT)は、ゲートに正のバイアス電圧を印加すると導通し、ゲートに負のバイアス電圧を印加すると不導通になる。また、画素電極(ITO1)とコモン電極との間に液晶層が設けられるので、各画素電極(ITO1)には、液晶容量( $C_{LC}$ )が等化的に接続され、また、前段の走査信号線(G)と画素電極(ITO1)との間には、保持容量( $C_{add}$ )が接続される。なお、ビデオ信号取り込み回路(11~17)、制御回路部100、垂直走査シフトレジスタ(VSR)、および垂直走査回路110は、液晶表示パネルに組み込まれており、薄膜トランジスタ(TFT)と同じくPoly-SiTrで構成され、同一の基板上に形成される。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】〔実施の形態2〕図13は、本発明の実施の形態2のTFT方式の液晶表示モジュールの全体の概略構成を示すブロック図である。本実施の形態の液晶表示モジュールは、ビデオ信号がデジタル信号で入力される液晶表示モジュールであり、本実施の形態の液晶表示モジュールは、液晶表示パネル200と、表示制御装置201と、制御回路部202とで構成される。液晶表示パネル200は、表示部210と、水平走査回路220と、垂直走査回路230とから構成される。ここで、水平走査回路220は、メモリアドレス選択回路(以下、水平シフトレジスタ回路と称する。)221と、ラッチ回路部222と、ビデオ信号取り込み回路(411~41n)とから構成される。各ビデオ信号取り込み回路(411~41n)は、前記図6に示す応用回路で構成され、さらに、各ビデオ信号取り込み回路(411~41n)には、同一タイミングの外部パルス( $\phi 1 \sim \phi 5$ )が、制御回路部202から入力される。また、液晶表示パネル200の表示部210は、前記図9に示すものと同じである。表示制御装置201は、1個の半導体集積回路(LSI)から構成され、表示制御装置201には、クロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各表示制御信号および表示用データ(R・G・B)が、コンピュータ本体側から送信されてくる。

【手続補正書】

【提出日】平成12年3月21日(2000. 3. 21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】マトリクス状に設けられる複数の画素と、  
前記複数の画素の列(または行)方向の画素に画素駆動電圧を印加する複数の映像信号線と、  
前記複数の映像信号線に画素駆動電圧を供給する駆動手段とを備える液晶表示装置であって、  
前記駆動手段は、前記各映像信号線に画素駆動電圧を供給する複数の映像信号取込手段を有し、  
前記各映像信号取込手段は、第1の電界効果型トランジスタと、  
前記第1の電界効果型トランジスタに接続され、前記各映像信号取込手段に入力する基準電圧が入力される第1

の手段と、

前記第1の手段に接続し、前記基準電圧とは異なる信号電圧が入力される第3の手段とを有し、

前記第1の手段は、前記第3の手段とともに前記第1の電界効果型トランジスタの制御電極の電圧を、前記基準電圧に前記信号電圧を重ねた電圧に対して、前記第1の電界効果型トランジスタのしきい値電圧分だけ補正した電圧値に設定し、

前記第1および第3の手段で、制御電極の電圧値が補正された電圧値にされた第1の電界効果型トランジスタと共に、前記基準電圧に前記信号電圧を重ねた電圧を画素駆動電圧として、前記映像信号線に供給する第2の手段とを有することを特徴とする液晶表示装置。

【請求項2】前記各電界効果型トランジスタは、制御電極下のチャネル形成領域が多結晶シリコンであることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】前記マトリクス状に設けられる複数の画素、前記複数の映像信号線、および前記駆動手段は、液晶表示素子内に組み込まれていることを特徴とする請求項1または請求項2に記載の液晶表示装置。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。即ち、本発明は、マトリクス状に設けられる複数の画素と、前記複数の画素の列（または行）方向の画素に画素駆動電圧を印加する複数の映像信号線と、前記複数の映像信号線に画素駆動電圧を供給する駆動手段とを備える液晶表示装置であって、前記駆動手段は、前記各映像信号線に画素駆動電圧を供給する複数の映像信号取込手段を有し、前記各映像信号取込手段は、第1の電界効果型トランジスタと、前記第1の電界効果型トランジスタに接続され、前記各映像信号取込手段に入力する基準電圧が入力される第1の手段と、前記第1の手段に接続し、前記基準電圧とは異なる信号電圧が入力される第3の手段とを有し、前記第1の手段は、前記第3の手段とともに前記第1の電界効果型トランジスタの制御電極の電圧を、前記基準電圧に前記信号電圧

を重畳した電圧に対して、前記第1の電界効果型トランジスタのしきい値電圧分だけ補正した電圧値に設定し、前記第1および第3の手段で、制御電極の電圧値が補正された電圧値にされた第1の電界効果型トランジスタと共に、前記基準電圧に前記信号電圧を重畳した電圧を画素駆動電圧として、前記映像信号線に供給する第2の手段とを有することを特徴とする。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】また、本発明は、前記各電界効果型トランジスタが、制御電極下のチャネル形成領域が多結晶シリコンであることを特徴とする。また、本発明は、前記マトリクス状に設けられる複数の画素、前記複数の映像信号線、および前記駆動手段が、液晶表示素子内に組み込まれていることを特徴とする。

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】削除

---

フロントページの続き

Fターム(参考) 2H093 NA16 NA32 NC11 NC34 NC62  
 ND05 ND33 NH18  
 5C006 AA01 AA16 AA22 AF42 AF44  
 AF46 AF52 AF82 BB16 BF02  
 BF11 BF25 BF34 FA22  
 5C080 AA10 BB05 CC03 DD05 EE17  
 EE28 FF11 JJ02 JJ03 JJ04